**L05**

**INTEGRISANO KOLO CENTRALNOG PROCESORA**

Najjednostavniji model CPU-a ima akumulator A, registar programskog brojača (PC) koji sadrži adresu sledećeg bajta, instrukcijski registar (IR) s operacijskim kodom instrukcije i registar podataka (DC) s adresom memorijske lokacije operanda.

Svaka instrukcija se izvršava u dvije faze:

-fazi pribavljanja (fetch) i

-fazi izvršavanja (execute).

***OPIS PRINCIPA RADA CPU-a***

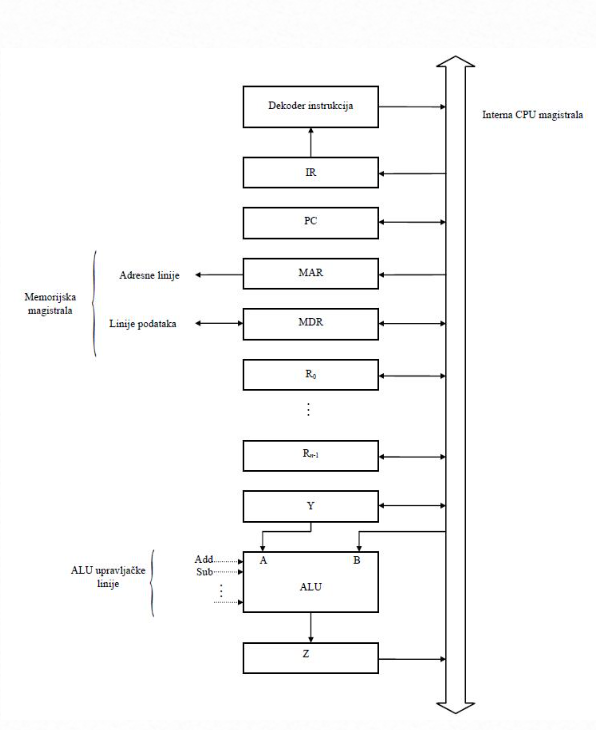
Mikroprocesor tokom faze PRIBAVI koristi adresnu sabirnicu da bi pročitao operacijski kod instrukcije koji je smesten u nekoj memorijskoj lokaciji koja je specificirana u programskom brojaču. U ovoj fazi takođe povećava vrednost programskog brojača.

U fazi IZVRŠI upravljačka jedinica koristi operacijski kod iz instrukcijskog registra da bi izvršila odgovarajuću operaciju, npr. izvršila aritmetičku ili logičku operaciju.

Mikrooperacije u mikroprocesoru su sinhronizovane generatorom takta, koji može imati jedan ili više signala. Za pojednostavljeni model se koristi jednofazni generator takta, koji se obično označava sa φ. Perioda generatora takta varira u zavisnosti od tipa mikroprocesora, a može biti između 100 ns i nekoliko μs.

**INTERNO POVEZIVANJE CPU-a**

Na slici 1 prikazani su blokovi CPU-a koji mogu biti organizovani i povezani na različite načine.



Na slici 6 je prikazana organizacija u kojoj su svi interni registri i ALU povezani preko zajedničke interne magistrale.

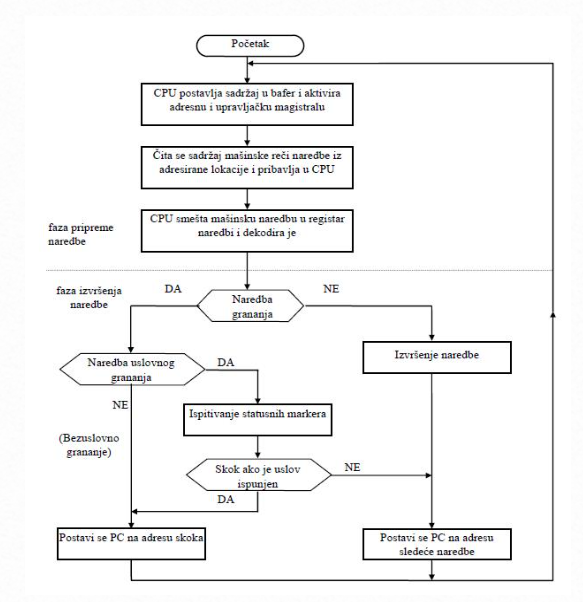
Interni registri su obično opšte namene, dok neki od njih mogu biti određeni za specijalnu namenu kao što su indeksni registri ili pokazivači magacina. Registri Y i Z su transparentni programeru i koriste se za interno smeštanje podataka u toku izvršenja instrukcije. Nikad se ne koriste direktno, već se podaci smeštaju i koriste u okviru jedne instrukcije.

Instrukcije u CPU-u mogu se podeliti u tri kategorije, u zavisnosti od toga gde se podaci prenose:

a) Registar-memorija - podaci se prenose između registra i memorije.

b) Registar-registar - podaci se prenose između dva registra.

c) Memorija-memorija - podaci se prvo prenose iz memorije u registar, zatim se može obaviti operacija nad podacima, a na kraju se rezultat smešta nazad u memoriju.



Slika iznad prikazuje dijagram stanja CPU-a za izvršenje jedne instrukcije. Stanja su sledeća:

1. Izračunavanje adrese instrukcije (IAC) - određuje sledeću adresu instrukcije koja će se izvršiti.
2. Priprema (pribavljanje) instrukcije (IF) - instrukcija se čita iz memorije i smešta u CPU.
3. Dekodiranje instrukcije (ID) - analizira se instrukcija kako bi se odredila operacija koja se treba izvršiti.
4. Izračunavanje adrese operanda (AOC) - ako se operand nalazi u memoriji ili U/I uređaju, određuje se adresa tog operanda.
5. Priprema (pribavljanje) operanda (OF) - operand se pribavlja iz memorije ili U/I uređaja.
6. Izvršavanje operacije nad podacima (DO) - obavlja se specificirana operacija nad operandima.
7. Smeštanje operanda (OS) - upisuje se rezultat operacije u memoriju ili U/I uređaj.

Ova stanja se izvršavaju u ciklusu izvršenja instrukcije. Tokom ovog procesa CPU obraća se memoriji i/ili U/I uređajima kako bi pristupio operandima i/ili upisao rezultate.

**ORGANIZACIJA RACUNARSKOG SISTEMA**

Magistrala se koristi za povezivanje sistema elemenata u računarskom sistemu. To je skup paralelnih veza koje se koriste za međusobnu komunikaciju između sistemskih elemenata. Sistem magistrala se sastoji od većeg broja magistrala koje su organizovane hijerarhijski na različitim nivoima.

Magistrala služi za povezivanje sistemskih elemenata i omogućava međusobnu komunikaciju. U računarskom sistemu postoje tri nivoa magistrala:

-lokalna magistrala na nivou ploča,

-zadnja ploča koja povezuje elemente sistema i magistrale interfejsa koje povezuju U/I uređaje sa ostatkom sistema.

-Dodatne magistrale se ugrađuju radi poboljšanja performansi sistema. Postoje standardizovane magistrale kao što su VME, Multibus I i II, Nubus, Fastbus, Futurebus, SCCI i GPIB.

***PODELA MAGISTRALA U ZAVISNOSTI OD NAMENE***

Magistrale se obično dele na tri sekcije:

1. Adresna magistrala - specificira memorijsku lokaciju ili U/I port koji komunicira sa CPU-om.
2. Magistrala za prenos podataka - koristi se za prenos podataka između sistema.
3. Upravljačka magistrala - upravljački signali koji sinhronizuju prenos podataka i regulišu prioritet prekida i dodelu deljivih resursa.

Mogu se podeliti na namenske I nenamenske.

Namenske magistrale se koriste za specifične funkcije i imaju visoku propusnost, ali zahtevaju veliki broj konektora što ih čini nepogodnim za manje sisteme.

Nenamenske magistrale, ili deljive magistrale, su fleksibilnije i mogu obavljati više funkcija.

***KLASIFIKACIJA DELJIVIH MAGISTRALA***

Deljive magistrale omogućavaju povezivanje CPU-a sa različitim jedinicama preko jedne magistrale, ali kapacitet brzine prenosa je manji u odnosu na namenske magistrale.

Kako bi se sprečili konflikti korišćenja magistrale, ugrađuje se arbitražni mehanizam. Postoje namenske magistrale koje su namenjene za specifične funkcije i imaju visoku propusnost, ali se zbog velikog broja konektora ne koriste u manjim sistemima.

**Deljive magistrale** se mogu podeliti u zavisnosti od tipa resursa ili funkcije koja se obavlja.

**Podela magistrala po tipu resursa** se odnosi na grupisanje resursa istog tipa, kao što su memorija, i njihovo povezivanje na magistralu. Celokupni računarski sistem se formira povezivanjem CPU-a, memorije i U/I magistrale.

Podela magistrala u zavisnosti od funkcije:

Magistrale se mogu podeliti na osnovu tipa resursa ili funkcija koje obavljaju.

Podela po tipu resursa znači da se resursi istog tipa, kao što su memorije, povezuju na jednu magistralu, dok se podela po funkcijama odnosi na povezivanje ploča koje obavljaju polunezavisne funkcije. Svaka ploča u ovom slučaju predstavlja jedinstveni računar sa dovoljnom lokalnom procesnom moći, memorijom i U/I.

***TERMINOLOGIJA VEZANA ZA MAGISTRALE***

Magistrala je sistem povezivanja ploča koje obavljaju polunezavisne funkcije, a ploče se mogu povezati kao gospodari ili sluge. U jednom trenutku magistrala je dodeljena samo jednom gospodaru magistrale koji može inicirati ciklus na magistrali. Arbitražni mehanizam se koristi za odlučivanje koji će gospodar magistrale dobiti pravo upravljanja nad magistralom.

Kada se obavlja prenos podataka po magistrali, ploča koja predaje podatak se zove izvor, a ploča koja prima podatak odredište. Transakcija na magistrali predstavlja kompletnu sekvenca, od trenutka kada se magistrala zahteva do trenutka završetka prenosa podataka. Operacije koje se obavljaju da bi se obavio prenos podataka su: zahtev, arbitraža, adresiranje, prenos podatka, detekcija i signalizacija greške.

**Prenos podataka**

**Operacija upisa** podataka na magistralu se ostvaruje tako što gospodar magistrale prvo preda adresu u prvom ciklusu, a zatim podatak u narednom ciklusu. Sluga mora da prepozna adresu pre nego što prihvati podatak. Postoji mogućnost vremenski multipleksiranog rada, gde se iste linije koriste za prenos adresa i podataka, ili nemultipleksiranog rada, gde se za prenos adresa i podataka koriste posebne linije.

**Specifikacija adrese sluge**

Ukratko, moguće je ostvariti nekoliko tipova prenosa podataka na magistrali: upis, čitanje, čitanje-modifikacija-upis, čitanje-posle-upis i prenos bloka podataka.

Svaka operacija se sastoji od jednog ili više ciklusa, a komunikacija se odvija između gospodara i sluga magistrale.

Kod operacije upisa gospodar predaje adresu i podatak u zasebnim ciklusima, dok se kod operacije čitanja gospodar čeka da sluga vrati podatak. Osim toga, moguće je obaviti i razbijeni prenos podataka, što znači da se magistrala oslobađa kako bi se obavile druge transakcije. Ova tehnika se često naziva paketna komutacija.

**Adresiranje**

Adresiranje u komunikaciji sa slugama magistrale sastoji se od dva koraka: adresiranja ploče i adresiranja elemenata na toj ploči. Za svaku ploču se dodeljuje blok adresa, a adresni bitovi specificiraju ploču i element podataka na njoj. MS adresni bitovi se koriste za specifikaciju ploče, a LS adresni bitovi za specifikaciju elementa na ploči.

**Specifikacija adrese sluge**

Specifikacija adrese sluge se ostvaruje adresnim linijama na magistrali. Postoje dve metode za dodelu adresa pločama: logičko adresiranje i fizičko adresiranje.

Logičko adresiranje se naziva i lokaciono-nezavisno i svakoj ploči se dodeljuje jedinstvena adresa ili grupa adresa. Dodela adresa se ostvaruje ručnim postavljanjem prekidača ili kratkospojnika na samoj ploči. Adrese se postavljaju proizvoljno i ne zavise od tipa ploče i njene pozicije na zadnjoj ploči. Da bi se ostvarilo logičko adresiranje na nivou svake ploče, treba ugraditi dodatni hardver. Standardne magistrale kao što su VME i Unibus koriste ovaj način adresiranja.

**Broj sluga koji ucestvuju u transakciji na magistrali**

Kada je potrebno da jedan gospodar komunicira sa više sluga na magistrali, mogu se koristiti broadcall i broadcast operacije.

**Broadcall operacija** omogućava svim selektovanim slugama da postave svoje podatke na magistralu, a nakon toga se vrši zbirna AND ili OR operacija podataka selektovanih sluga. Ova operacija se često koristi za identifikaciju izvora prekida, gde svakom potencijalnom izvoru prekida dodeljuje jedna bit pozicija na magistrali.

**Broadcast operacija** se koristi za održavanje konzistentnosti podataka, naročito kod multiprocesorskih sistema sa distribuiranom keš memorijom.

Kada se prenosi blok podataka, elementi bloka obično se smeštaju u uzastopne memorijske lokacije i mogu se preneti na dva načina. Prvi način je prenos na nivou jednog ciklusa, gde se posle svake generisane adrese vrši prenos po jednog podatka. Drugi način je prenos u paketima (en. burst), gde se na početku prenosa predaje inicijalna adresa, nakon čega sledi blok podataka fiksne ili promenljive dužine.

***SINHRONIZACIJA KOD PRENOSA***

Ozbiljan nedostatak paketnog prenosa je da ako poruka koja se prenosi je dugačka, gospodar magistrale neće osloboditi magistralu dok se prenos ne završi, što može dovesti do propuštanja bitnih ili prioritetnih događaja. Da bi se to rešilo, potrebno je implementirati mehanizam istiskivanja, gde se tekućem gospodaru magistrale signalizira kada neki drugi gospodar višeg prioriteta zahteva dodelu magistrale.

Sinhronizacija u prenosu podataka je važna kako bi se osiguralo da su jedinice sistema (npr. procesor i memorija) sinhronizovane tokom prenosa podataka. Postoje tri rešenja vremenskog vođenja događaja u prenosu podataka: **sinhroni prenos, asinhroni prenos i polusinhroni prenos**. Magistrale se mogu klasifikovati prema ovim rešenjima kao sinhroni, asinhroni i polusinhroni.

**Sinhrone magistrale**

Sinhrone magistrale se kontrolišu globalnim taktom koji se generiše od strane zajedničkog oscilatora. Prenos podataka se dešava u fiksnim vremenskim intervalima, koje određuje takt magistrale. Opšta sekvenca događaja kod sinhronih magistrala se sastoji od ciklusa takt signala, zahteva za prenos podataka, prenosa podataka i potvrde o prijemu podataka.

**Asnihrone magistrale**

Asinhrone magistrale se koriste u mikroračunarskim sistemima i ne koriste glavni taktni signal za sinhronizaciju prenosa. Sekvenca događaja je fleksibilnija i prilagođena zahtevima asinhronog prenosa.

Prilikom operacije čitanja zahtev za čitanjem se šalje od strane procesora, nakon čega se aktivira odgovarajući čitač memorije. Nakon što se podaci pročitaju, signal o završetku se vraća procesoru.

Kod operacije upisa procesor šalje podatke koje treba upisati, nakon čega se aktivira odgovarajući upisivač memorije. Kada se upis završi, signal o završetku se vraća procesoru.

**Poluasinhrone magistrale**

Polusinhrone magistrale kombinuju karakteristike sinhronih i asinhronih magistrala. Kod ovih magistrala postoji fiksni takt koji diktira vremenske intervale za promenu upravljačkih signala, ali ti intervali mogu biti promenljivi u umnošcima taktne pobude. Signal fiksne taktne pobude može biti generisan od strane glavnog oscilatora sistema ili od strane tekućeg gospodara magistrale. Upravljački signali se koriste za koordinaciju prenosa podataka između jedinica sistema.